

SIMULASI FABRIKASI DAN PENCIRIAN ELEKTRIK 90NM NMOS MENGUNAKAN PERISIAN *SILVACO*

Zairi Ismael Rizman
Fakulti Kejuruteraan Elektrik
Universiti Teknologi MARA (UiTM) Terengganu
23000 Dungun, Terengganu, Malaysia
Tel: 609-8403791/6014-8045715 E-mel: zairi576@tganu.uitm.edu.my

Kim Ho Yeap
Fakulti Kejuruteraan dan Teknologi Hijau
Universiti Tunku Abdul Rahman (UTAR)
31900 Kampar, Perak, Malaysia
Tel: 6016-5936805 E-mel: yeapkh@utar.edu.my

Mohamad Taib Miskon
Fakulti Kejuruteraan Elektrik
Universiti Teknologi MARA (UiTM) Terengganu
23000 Dungun, Terengganu, Malaysia
Tel: 6013-7144228 E-mel: moham424@tganu.uitm.edu.my

Fadhli Dzul Hilmi Mohd Fauzi
Fakulti Kejuruteraan Elektrik
Universiti Teknologi MARA (UiTM) Terengganu
23000 Dungun, Terengganu, Malaysia
Tel: 6012-3157060 E-mel: fadhliDzul@tganu.uitm.edu.my

Nazuha Fadzal
Fakulti Kejuruteraan Elektrik
Universiti Teknologi MARA (UiTM) Terengganu
23000 Dungun, Terengganu, Malaysia
Tel: 6019-6639606 E-mel: nazuha@tganu.uitm.edu.my

Norizan Mohamad
Fakulti Sains Komputer dan Matematik
Universiti Teknologi MARA (UiTM) Terengganu
23000 Dungun, Terengganu, Malaysia
Tel: 6019-9695787 E-mel: norizanm@tganu.uitm.edu.my

Abstrak

Kertas penyelidikan ini menerangkan tentang kaedah merekabentuk 90nm semikonduktor logam oksida jenis-n, *NMOS (N-Type Metal Oxide Semiconductor)* menggunakan perisian *SILVACO*. Simulasi fabrikasi 90nm *NMOS* dilakukan dengan menggunakan modul *ATHENA*, manakala kajian ciri-ciri elektrik pula dilakukan dengan menggunakan modul *ATLAS*. Demi memperolehi pencirian elektrik yang sah, peraturan penskalaan telah diaplikasikan. Peraturan penskalaan medan tetap telah digunapakai di dalam parameter-parameter seperti panjang saluran efektif,

implantasi penyalaras voltan ambang, serta ketebalan lapisan oksida get. Apabila saiz get menjangkau parameter nano, kesan-kesan medan tinggi seperti salir teraruh sawar merendah, *DIBL (Drain Induced Barrier Lowering)*, tebuk tembusan, kesan elektron panas, dan sebagainya akan menjadi isu yang serius. Bahan dan integrasi proses baru telah diaplikasikan untuk meminimumkan kesan medan tinggi seperti implantasi telaga songsang, pengasingan parit cetek, *STI (Shallow Trench Isolation)*, pengendapan peruang dinding sisi, pembentukan lapisan silisida, serta implantasi halo. Dalam mengesahkan ciri-ciri elektrik, hubungan I_D-V_G dan I_D-V_D telah dianalisis menerusi pemplotan graf. Kesimpulannya, rekabentuk 90nm *NMOS* yang dihasilkan berfungsi dengan baik kerana memenuhi kriteria piawaian rajah laluan teknologi antarabangsa untuk semikonduktor, *ITRS (International Technology Roadmap for Semiconductor)* dan model teknologi ramalan *Berkeley, BPTM (Berkeley Predictive Technology Model)*.

Kata Kunci: *NMOS, 90nm, SILVACO, ATHENA, ATLAS*

1. Pengenalan

Penciptaan transistor kesan medan, *FET (Field Effect Transistor)* dan pembangunan silikon monolitik berdasarkan teknik fabrikasi litar bersepadu telah membawa kepada tahap pembentukan yang membanggakan dalam industri semikonduktor pada lewat pertengahan abad 20. Setiap tahun, penskalaan peranti transistor kesan medan semikonduktor logam oksida pelengkap, *CMOS (Complementary Metal Oxide Semiconductor Field Effect Transistor)* kepada dimensi fizikal yang lebih kecil telah membawa kepada penambahbaikan berterusan prestasi peranti. Ia juga telah berkembang dengan meluas sebagai peranti mikroelektronik dalam kehidupan seharian sebagai peralatan pengguna yang bersifat kecil, murah dan laju. Penskalaan silikon berdasarkan peranti mikroelektronik dan litar bersepadu pada asalnya diramal oleh Gordon Moore pada tahun 1965 hingga akhir sekurang-kurangnya sedekad. Fenomena penggunaan struktur, bahan, proses dan teknologi termaju bagaimanapun telah memastikan kesahihan hukum Moore di dalam abad ke 21, di mana jumlah bilangan peranti pada satu cip akan bertambah dua kali ganda dalam setiap jangkamasa 12 bulan. Saiz ciri minimum pada peranti telah diskalakecilkan dari beberapa mikron pada tahun 1970 kepada kurang daripada 100nm pada hari ini. Ini membolehkan penambahbaikan konsisten di dalam kepadatan pempakejan peranti pada cip, meningkatkan kelajuan litar dan memperbaiki nisbah prestasi-kepada-kos untuk mikroelektronik berdasarkan produk. Hala tuju untuk penskalaan peranti pada masa depan sememangnya bergantung pada perubahan bahan transistor dan struktur peranti. Persediaan perlu dibuat untuk menghadapi masalah penskalaan fizikal terhad transistor yang begitu cepat (Ranade, 2002).

Matlamat utama penyelidikan ini dijalankan adalah untuk memfabrikasi dan mensimulasi 90nm *NMOS* menggunakan perisian *SILVACO*. Pada umumnya, skop kerja ini adalah untuk mengkaji ciri-ciri elektrik 90nm *NMOS* seperti voltan ambang, selain memahami hubungkait antara arus saluran dengan voltan get dan arus saluran dengan voltan saluran. Kaedah penskalaan juga dipelajari dan diaplikasikan pada parameter-parameter yang perlu diskalakan dengan menggunakan faktor penskalaan. Justeru itu, masalah-masalah dan faktor-faktor yang menghadkan penskalaan 90nm *NMOS* dikaji dan langkah-langkah yang perlu diambil bagi mengatasi masalah tersebut. Setelah hasil simulasi didapati, analisis dibuat dari segi struktur keratan rentas, keseragaman taburan dopan serta nilai dan bentuk lengkungan graf I_D-V_D dan I_D-V_G untuk implantasi halo menggunakan boron di dalam 90nm *NMOS*. Transistor yang telah siap difabrikasi dikenalpasti samada ia berfungsi dengan baik atau sebaliknya menggunakan simulasi

ATLAS. Akhir sekali, perbandingan nilai-nilai simulasi dengan data-data daripada rajah *ITRS* dan *BPTM* dibuat untuk mengenalpasti samada ia memenuhi keperluan dan kehendak piawaian tersebut (Rizman, 2009).

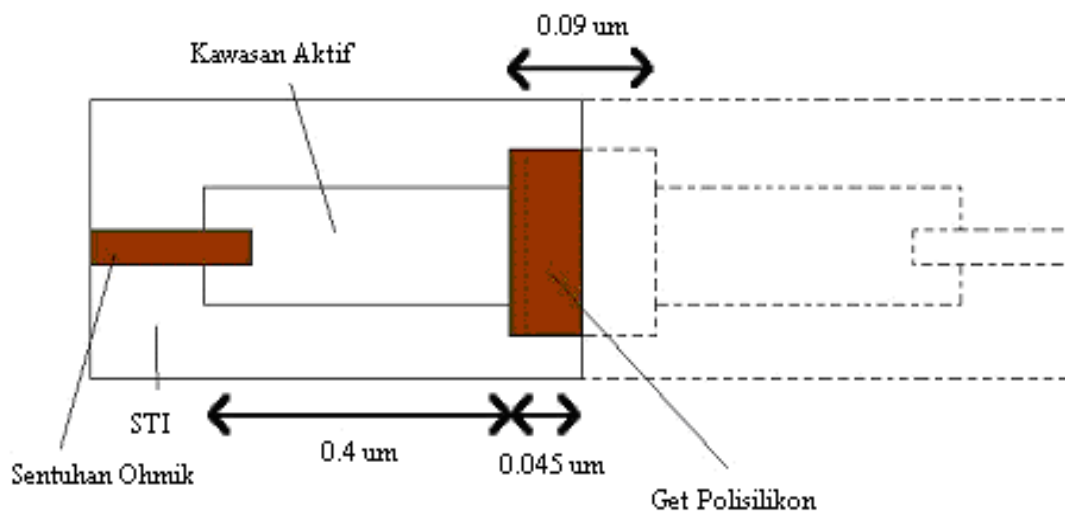
2. Metodologi

Simulasi fabrikasi 90nm *NMOS* dilakukan dengan menggunakan modul *ATHENA*, sementara kajian ciri-ciri elektrik pula dilakukan dengan menggunakan modul *ATLAS* dari perisian *SILVACO*. Demi memperolehi pencirian elektrik yang sah, peraturan penskalaan telah diaplikasikan. Peraturan penskalaan medan tetap telah digunakan di dalam parameter-parameter seperti panjang saluran efektif, implantasi penyalaras voltan ambang, serta ketebalan lapisan oksida get. Apabila saiz get menjangkau parameter nano, kesan-kesan medan tinggi seperti *DIBL*, tebuk tembusan, kesan elektron panas, dan sebagainya akan menjadi masalah serius. Bahan dan integrasi proses baru telah diaplikasikan untuk meminimumkan kesan medan tinggi seperti implantasi telaga songsang, *STI*, pengendapan peruang dinding sisi, pembentukan lapisan silisida, serta implantasi halo.

3. Pengaturcaraan Transistor 90nm *NMOS*

Simulasi *NMOS* bersaiz 90nm akan dijalankan pada stesen kerja *Linux*. Simulasi tersebut dibahagi kepada dua jenis iaitu simulasi proses dan simulasi peranti. Simulasi proses akan dijalankan terlebih dahulu dengan menggunakan modul *ATHENA*. Ini diikuti pula dengan simulasi peranti yang dijalankan dengan menggunakan modul *ATLAS*. Tujuan simulasi proses adalah untuk membangunkan struktur transistor, manakala tujuan simulasi peranti adalah untuk mengesahkan transistor yang difabrikasi dapat berfungsi dengan elok dengan menguji ciri-ciri elektrik transistor.

Untuk memulakan simulasi proses, persekitaran *Deckbuild* akan dipanggil dan modul *ATHENA* akan diaktifkan dalam persekitaran tersebut. Pada awalnya, geometri transistor yang ingin dibangunkan perlu ditentukan. Seperti yang ditunjukkan pada Rajah 1, lebar get *NMOS* yang akan difabrikasi adalah bersaiz 90nm dan lebar salir/sumber adalah bersaiz 0.4 μ m.



Rajah 1: Pandangan atas transistor *NMOS* bersaiz 90nm

Kod aturcara pentakrifan jejaring akan dimasukkan seperti berikut.

```
go athena
line x loc=-0.60 spac=0.2
line x loc=-0.20 spac=0.05
line x loc=0.00 spac=0.10
line x loc=0.24 spac=0.01
line x loc=0.32 spac=0.05
line x loc=0.4 spac=0.002
line x loc=0.445 spac=0.005
line y loc=0.00 spac=0.05
line y loc=0.387 spac=0.005
line y loc=0.6 spac=0.04
line y loc=5 spac=2
```

Kod pentakrifan jejaring tersebut bermakna bahawa hanya bahagian kiri transistor akan disimulasi. Memandangkan bahagian kiri transistor adalah bersimetri dengan bahagian kanan, transistor *NMOS* yang lengkap dapat dibentuk dengan mencerminkan bahagian kiri ke bahagian kanan sebaik sahaja bahagian kiri siap dibentuk.

Tujuan utama kaedah ini diaplikasi adalah untuk menjimatkan masa simulasi. Jarak grid yang kecil digunakan pada bahagian fabrikasi yang penting. Ini merangkumi bahagian *STI*, kawasan get, peruang, dan bahagian telaga untuk implantasi halo. Grid yang kecil memastikan punaran yang licin dapat dilakukan untuk pembentukan *STI*, di samping menghasilkan agihan pengedapan yang lebih seragam pada bahagian implantasi atau resapan. Walau bagaimanapun, perlu diketahui bahawa grid-grid yang kecil akan menyebabkan tempoh simulasi memakan masa yang lama.

Justeru itu, substrat disediakan. Kod aturcara struktur substrat silikon adalah seperti berikut.

Initial Silicon Structure

```
init silicon c.boron=7.0e14 orientation=100
struct outfile=mesh.str
```

Fabrikasi *NMOS* yang bersaiz 90nm bermula dengan menyediakan substrat silikon berhablur tunggal jenis p dan berorientasi $\langle 100 \rangle$. Wafer didopkan dengan ion boron dengan kepekatan 7×10^{14} atom/cm³. Substrat silikon dibina dan disimpan di dalam fail *mesh.str*. Fail tersebut boleh dibuka menerusi modul *TonyPlot*.

Untuk membentuk telaga jenis p, satu lapisan oksida setebal 200Å yang dikenali sebagai oksida skrin perlu dibentuk pada permukaan substrat untuk meminimumkan kesan saluran. Kod aturcaranya ditunjukkan seperti berikut.

```
diffus time =20 temp=970 dryo2
extract name="Well Oxidation 200A"thickness material="SiO~2"
mat.ocno=1 x.val=0.1
struct outfile=p-well_oxide.str
```

Arahan “*extract name="Well Oxidation 200A" thickness material="SiO~2" mat.occno=1 x.val=0.1*” bertujuan untuk mendapatkan parameter ketebalan lapisan oksida pada koordinat grid $x = 0.1$. Parameter yang dikeluarkan disimpan dalam fail *results.FINAL*. Struktur pengoksidaan disimpan di dalam fail *p-well_oxide.str*.

Seterusnya, kod aturcara berikut memaparkan kaedah penghasilan telaga p.

moments std_tables

implant boron dose=3.75e12 energy=100 tilt=7 rotation=30 crystal

implant boron dose=3.75e12 energy=100 tilt=7 rotation=120 crystal

implant boron dose=3.75e12 energy=100 tilt=7 rotation=210 crystal

implant boron dose=3.75e12 energy=100 tilt=7 rotation=300 crystal

diffus time=30 temp=900 nitro press=1.00

etch oxide all

diffus time=36 temp=999 dryo2 press=0.90 hcl.pc=0

extract name="Drive-in 350A" thickness material="SiO~2" mat.occno=1 x.val=0.1

diffus time=217 temp=804 nitro press=1.00

etch oxide all

struct outfile=p-well_drive-in.str

Sebaik sahaja oksida skrin terbentuk, implantasi boron akan dilakukan. Kepekatan dos ion boron yang digunakan ialah sebanyak $3.75 \times 10^{12} \text{atom/cm}^3$ dan tenaga implantasi adalah sebanyak 100keV. Semasa implantasi dilakukan, substrat tersebut perlu diserongkan sebanyak 7° dan dipusingkan. Tujuan oksida skrin dibentukkan sebelum proses implantasi dan substrat diserongkan apabila implantasi dilakukan adalah untuk meminimumkan kesan saluran manakala tujuan substrat dipusingkan adalah untuk meminimumkan kesan bayang (Xiao, 2001).

Selepas proses implantasi, penyepuh lindapan dan pacuan ke dalam akan dijalankan pada telaga p. Penyepuh lindapan memakan masa kira-kira 30 minit dan pacuan ke dalam mengambil masa 217 minit. Apabila implantasi dilakukan, hentaman ion dopan yang bertenaga tinggi akan merosakkan kekisi atom silikon yang berada pada permukaan substrat. Tujuan penyepuh lindapan dan pacuan ke dalam adalah untuk menyembuhkan struktur kekisi di samping mengaktifkan dopan (Xiao, 2001). Lapisan oksida skrin perlu ditanggalkan selepas kedua-dua proses terma itu dilakukan. Struktur sebelum dan selepas proses terma disimpan di dalam fail *p-well_drive-in.str*.

Justeru itu, pengasingan secara *STI* akan dilakukan. Kod aturcara pembentukan parit *STI* adalah seperti berikut.

grid.model template=TRENCH

diffus temp=900 time=25 dryo2%hcl=3

extract name="Pad Oxidation" thickness material="SiO~2" mat.occno=1 x.val=0.1

deposit nitride thick=0.15

deposit photo thick=1. div=11

etch photo start x=-0.8 y=-10

etch photo cont x=-0.8 y=10

etch photo cont x=-0.2 y=10

etch photo done x=-0.2 y=-10

relax y.min=0.4 dir.y=f

```

relax y.min=1.0 dir.y=f
relax y.min=0.4 dir.y=f
etch nitride thick=0.15
strip photo
etch oxide thick=0.1
struct outfile=nitride.str
rate.etch machine=trench_etch rie silicon iso=0.1 dir=0.9 u.m
rate.etch machine=trench_etch rie oxide iso=0.1 dir=0.9 u.m
etch machine=trench_etch time=0.5 minute dx.mult=1.0
etch nitride left pl.x=-0.155
method fermi compress
diffus time=30 temp=900 dry
struct outfile=trench_side.str

```

Sehubungan dengan pembentukan telaga p, isolasi atau pengasingan dijalankan untuk memisahkan transistor yang berjiranan antara satu sama lain dalam satu cip litar bersepadu. Teknik isolasi yang diaplikasikan dikenali sebagai *STI*. Pertamanya, selapis oksida pad 130\AA perlu dibentuk pada permukaan substrat secara pengoksidaan kering di mana masa resapan ialah 25 minit dan suhu ialah 900°C . Selepas itu, silikon nitrid setebal 1500\AA akan dimendapkan secara pemendapan wap kimia tekanan rendah, *LPCVD* (*Low Pressure Chemical Vapor Deposition*). Oksida pad berperanan sebagai penimbal tegasan untuk mengurangkan tegasan yang ditanggung oleh filem nitrid di samping mengelakkan rekahan daripada terbentuk pada filem tersebut. Filem nitrid pula berperanan sebagai topeng apabila punaran silikon dilakukan (Xiao, 2001). Struktur nitrid ini disimpan di dalam fail *nitride.str*.

Justeru itu, rintang foto akan dimendapkan secara litografi foto. Sebaik sahaja corak pada rintang foto terbentuk, filem nitrid dan oksida pad akan dipunarkan. Kawasan yang tidak mengalami punaran dikenali sebagai kawasan aktif dan di situlah transistor *NMOS* akan dibentuk. Selepas itu, rintang foto akan dibuang. Silikon akan dipunarkan secara punaran ion reaktif, *RIE* (*Reactive Ion Etching*) untuk membentuk parit pada substrat. Masa punaran untuk silikon ialah selama 0.5 minit dan kedalaman parit ialah 4487\AA . Selapis silikon dioksida nipis akan dibentuk pada dinding sisi parit secara pengoksidaan kering pada suhu 900°C selama 30 minit. Lapisan oksida ini dikenali sebagai oksida sawar dan berfungsi untuk menyekat bahan bendasing daripada memasuki substrat silikon apabila pengisian parit dilakukan secara *CVD* (Xiao, 2001). Struktur parit disimpan sebagai fail *trench_side.str*.

Seterusnya, kod aturcara pemendapan oksida ke dalam parit *STI* ditunjukkan seperti berikut.

```

rate.depo machine=teos oxide u.m cvd dep.rate=1.0 step.cov=0.9
deposit machine=teos time=50 seconds divisions=8
rate.etch machine=planar silicon u.m rie isotropic=0 direct=1.5
rate.etch machine=planar oxide u.m rie isotropic=0 direct=1.5
rate.etch machine=planar nitride u.m rie isotropic=0 direct=1.5
etch machine=planar time=40 seconds
struct outfile=dishing_effect.str
extract name="Trench Depth"thickness material="SiO~2"
mat.occno=1 x.val=-0.26
diffus time=15 temp=900 nitro press=1.00

```

```

struct outfile=PSG.str
diffus time=45 temp=950 dryo2 press=1.00 hcl.pc=0
extract name="Sacrificial Oxide" thickness material="SiO~2" \
mat.occno=1 x.val=0.1
struct outfile=sacrificial_oxide.str
method full.cpl grid.ox=0.002 back=6
etch oxide right p1.x=-0.141
deposit nitride thick=0.05 div=2
etch nitride right p1.x=-0.141
struct outfile=nitride_stay.str

```

Sebaik oksida sawar dibentukkan, pemendapan oksida secara proses terma tetra-etil-orto-silikat, *TEOS (Tetra-Ethyl-Ortho-Silicate) CVD* akan diaplikasikan untuk mengisi parit dengan bahan dielektrik. Filem oksida *TEOS* dipilih kerana ia dapat menghasilkan litupan bertingkat yang lebih menyeluruh. Penggilapan mekanikal kimia, *CMP (Chemical Mechanical Polishing)* akan dijalankan untuk membuang oksida yang berlebihan pada permukaan substrat. Nisbah pemilihan nitrid-kepada-oksida perlu tinggi untuk memastikan lapisan oksida dan yang akan dibuang, bukan nitrid. Walaubagaimanapun, nisbah pemilihan yang tinggi berkecenderungan memperkenalkan kesan piring. Dengan itu, nisbah yang tepat perlu dipilih untuk meminimumkan kesan tersebut (Xiao, 2001). *STI* lengkap dibina selepas penyepuh lindapan yang mengambil masa 15 minit dan suhu 900°C dilakukan diikuti dengan penanggalan lapisan nitrid dan oksida pad. Struktur selepas penyepuh lindapan disimpan sebagai fail *PSG.str*.

Sebaik sahaja *STI* lengkap dibentuk, selapis oksida karbon nipis akan dibentukkan selama 45 minit, bersuhu 950°C yang bertekanan 1 atm secara pengoksidaan kering. Lapisan oksida karbon akan dibuang selepas itu. Tujuan oksida karbon dibentukkan adalah untuk memastikan permukaan substrat bebas daripada sebarang kecacatan supaya lapisan oksida get yang dibentukkan berkualiti tinggi (Xiao, 2001). Selapis nitrid juga perlu dimendapkan. Punaran nitrid dilakukan supaya kawasan *STI* ditutupi oleh nitrid manakala kawasan aktif adalah terdedah. Langkah yang seterusnya merupakan pembentukan oksida get. Kod aturcaranya adalah seperti berikut.

```

diffus time=2.5 temp=825 dryo2 press=1 hcl.pc=0
extract name="Gate Oxide (22.6A)" thickness material="SiO~2" mat.occno=1 \
x.val=0.4

```

Ketebalan oksida get perlu diskalakan berdasarkan faktor penskalaan. Oksida get setebal 22.6Å akan dibentukkan selama 2.5 minit pada suhu 825°C dan tekanan 1 atm secara pengoksidaan kering. Selepas lapisan oksida get dihasilkan, ketebalannya diukur pada koordinat grid $x = 0.4$ dan disimpan.

Selepas itu, implantasi penyelarasan voltan ambang dilakukan. Kod aturcaranya adalah seperti berikut.

```

moments std_tables
implant bf2 dose=3.5e11 energy=5 tilt=7 rotation=30 crystal
implant bf2 dose=3.5e11 energy=5 tilt=7 rotation=120 crystal
implant bf2 dose=3.5e11 energy=5 tilt=7 rotation=210 crystal

```

```

implant bf2 dose=3.5e11 energy=5 tilt=7 rotation=300 crystal
diffus time=20 temp=800 nitro press=1.00
struct outfile=n-channel.str

```

Implantasi penyalaras voltan ambang perlu dilakukan untuk mengawal voltan yang digunakan untuk menghidupkan atau mematikan transistor (Xiao, 2001). Ion boron diflorida, BF_2 (Boron Difluoride) dengan kepekatan $3.5 \times 10^{11} \text{cm}^{-3}$ dan tenaga sebanyak 5keV diimplantasi pada kawasan aktif demi mengawal voltan ambang transistor. Substrat diserongkan sebanyak 7° dan dipusingkan semasa implantasi dilakukan. Penyepuh lindapan akan dijalankan selepas implantasi. Struktur implantasi penyalaras voltan ambang disimpan ke dalam fail *n-channel.str*. Seterusnya, get polisilikon dimendapkan pada permukaan substrat sepertimana kod aturcaranya ditunjukkan seperti berikut.

```

method full.cpl grid.ox=0.002 back=6
deposit poly thick=0.25 c.phosphor=1.0e20 divi=10
deposit oxide thick=0.15 c.phosphor=5e15
diffus time=17 temp=900 nitro press =1.05 c.phosphor=5e15
struct outfile=SOD_deposit.str
etch oxide dry thick=0.16
struct outfile=SOD_etch.str
diffus time=30 temp=800 f.n2=4.0 press=1.00
struct outfile=poly_SOD_diffus.str
etch poly left p1.x=0.4
struct outfile=poly_etch.str
method two.dim
diffus time=9 temp=850 f.n2=10 f.o2=1.0 press=1.00
diffus time=17 temp=850 dryo2 press=1.00 hcl.pc=0
extract name="Poly Oxide" thickness oxide mat.occno=1 x.val=0.4
struct outfile=poly_oxide.str

```

Pembentukan get polisilikon dimulakan dengan pemendapan polisilikon setebal $0.25 \mu\text{m}$ dengan kepekatan fosforus sebanyak $1 \times 10^{20} \text{cm}^{-3}$ pada permukaan substrat. Ini diikuti dengan pemendapan lapisan oksida setebal $0.15 \mu\text{m}$ dengan kepekatan fosforus iaitu $5 \times 10^{15} \text{cm}^{-3}$. Pada suhu 900°C dan selama 17 minit, dopan fosforus akan meresap ke dalam polisilikon. Kemudian, lapisan oksida akan dipunarkan. Penyepuh lindapan akan dijalankan pada suhu 800°C dan selama 30 minit selepas polisilikon dipunarkan untuk membentuk get polisilikon. Tujuan dopan fosforus digunakan adalah untuk mengurangkan keberintangan. Penyepuh lindapan yang dijalankan adalah untuk membentuk saiz bijian yang besar pada polisilikon. Ini adalah kerana saiz yang besar juga dapat mengurangkan keberintangan (Xiao, 2001).

Langkah yang seterusnya merupakan implantasi halo di mana kod aturcaranya adalah seperti berikut.

```

implant indium dose=12e11 energy=120 tilt=30 rotation=25 bca n.ion=5000 sampling
implant indium dose=12e11 energy=120 tilt=30 rotation=115 bca n.ion=5000 sampling
implant indium dose=12e11 energy=120 tilt=30 rotation=205 bca n.ion=5000 sampling
implant indium dose=12e11 energy=120 tilt=30 rotation=295 bca n.ion=5000 sampling

```



```
struct outfile=n-halo_implant.str
```

Dos implantasi indium yang rendah yaitu $12 \times 10^{11} \text{cm}^{-3}$ dilakukan pada tenaga yang tinggi yaitu 120keV dan diserongkan pada sudut yang besar 30° bagi mendapatkan struktur halo yang optimum (Chou et al., 2001). Struktur selepas implantasi halo disimpan sebagai *n-halo_implant.str*.

Aturcara berikutnya menunjukkan pembentukan peruang pada dinding sisi get.

```
deposit nitride thick=0.12 div=15
etch nitride dry thick=0.12
etch nitride start x=-0.142 y=-0.1225
etch nitride cont x=0.445 y=-0.35
etch nitride cont x=0.445 y=-0.24
etch nitride done x=-0.14 y=0.11
diffus time=20 temp=800 nitro press=1.00
struct outfile=spacer.str
```

Selapis silikon nitrid setebal $0.12 \mu\text{m}$ akan dimendapkan secara CVD. Lapisan nitrid akan dipunarkan untuk membentuk peruang dinding sisi yang digunakan sebagai topeng bagi implantasi salir/sumber.

Selepas itu, implantasi salir/sumber perlu dilakukan pada substrat.

```
implant arsenic dose=1.0e15 energy=25 tilt=7 rotation=60 amorph
implant arsenic dose=1.0e15 energy=25 tilt=7 rotation=240 amorph
implant phosphor dose=2.0e13 energy=25 tilt=7 rotation=30 amorph
implant phosphor dose=2.0e13 energy=25 tilt=7 rotation=120 amorph
implant phosphor dose=2.0e13 energy=25 tilt=7 rotation=210 amorph
implant phosphor dose=2.0e13 energy=25 tilt=7 rotation=300 amorph
diffus time=20 temp=800 nitro press=1.00
diffus time=25 temp=850 nitro press=1.00
diffus time=10 temp=900 nitro press=1.00
etch nitride left p1.x=-0.13
```

Implantasi salir dan sumber dilakukan dengan pengedapan arsenik dan fosforus dengan masing-masing berkepekatan dos $1 \times 10^{15} \text{cm}^{-3}$ dan $2 \times 10^{13} \text{cm}^{-3}$. Kedua-duanya mempunyai tenaga implantasi yang sama iaitu 25keV. Kemudian, penyepuh lindapan dijalankan pada 800°C , 850°C dan 900°C selama 55 minit untuk menyembuhkan struktur kekisi silikon.

Pembentukan silisida pada polisilikon adalah seperti ditunjukkan pada kod aturcara berikut.

```
etch oxide start x=0.4015 y=-0.22
etch cont x=0.445 y=-0.22
etch cont x=0.445 y=-0.205
etch done x=0.402 y=-0.205
struct outfile=si_ox_etch.str
deposit cobalt thick=0.12 div=34
struct outfile=cobalt.str
```

```
diffus time=0.001 temp=1100 nitro press=1.00
struct outfile=sili_anneal.str
etch cobalt all
struct outfile=cobalt_etch.str
diffus time=0.1 temp=910 nitro press=1.00
struct outfile=silicide.str
```

Selepas itu, selapis silisida akan dibentukkan pada polisilikon. Ini dapat dilakukan dengan memendapkan selapis kobalt setebal $0.12\mu\text{m}$ pada permukaan substrat. Proses penyepuh lindapan terma pantas, *RTA (Rapid Thermal Annealing)* akan dilakukan pada suhu 1100°C selama 0.001 minit. Sebaik sahaja selapis silisida kobalt, CoSi_2 (*Cobalt Silicide*) dibentukkan pada polisilikon, kobalt akan dipunarkan dan penyepuh lindapan akan dijalankan selama 0.1 minit pada suhu 910°C . Silisida kobalt merupakan pilihan utama sebagai bahan silisida untuk *CMOS* nano kerana saiz bijiannya yang rendah di samping mempunyai kestabilan pada suhu tinggi dan keberintangan yang rendah (Xiao, 2001). Struktur silisida akan disimpan sebagai fail *silicide.str*. Kod aturcara seterusnya menunjukkan kaca silikat boron fosfor, *BPSG (Boron Phosphor Silicate Glass)* setebal $0.3\mu\text{m}$ dimendapkan pada bahagian atas substrat sebagai lapisan dielektrik pralogam.

```
deposit oxide thick=0.30 c.arsenic=1.0e16 c.boron=1.0e16 c.phosphor=1.0e16\
div=10 dy=0.002 ydy=0.5
method compress init.time=0.10 fermi
diffus time=20 temp=850 nitro press=1.00
struct outfile=BPSG.str
```

Dielektrik pralogam, *PMD (Premetal Dielectric)* merupakan lapisan dielektrik pertama yang dimendapkan pada permukaan wafer selepas transistor dihasilkan. *PMD* yang digunakan dalam fabrikasi ini ialah silikon oksida yang didopkan dengan boron dan fosforus iaitu *BPSG*. Tujuan pemendapan *PMD* adalah sebagai penebat dalam sambungan logam berbilang aras. Dan tujuan *BPSG* dipilih adalah kerana ion fosforus berupaya memerangkap ion-ion natrium yang mampu merosakkan transistor apabila ia meresap ke dalam get (Xiao, 2001). Struktur *BPSG* disimpan sebagai fail *BPSG.str*.

Selepas pemendapan *BPSG*, penyepuh lindapan akan dijalankan pada suhu 850°C selama 20 minit. Justeru itu, sentuhan salir/sumber akan dihasilkan dengan memunarkan sebahagian *BPSG*. Struktur selepas punaran disimpan sebagai fail *pattern_s_d1.str*.

```
etch oxide start x=-0.02 y=-0.5
etch cont x=0.26 y=-0.5
etch cont x=0.26 y=0.1
etch done x=-0.02 y=0.1
struct outfile=pattern_s_d1.str
```

Kod aturcara berikutnya memaparkan arahan untuk implantasi pampasan.

```
Implant phosphor dose=2.5e13 energy=60 monte tilt=7 rotation=30 amorph
Implant phosphor dose=2.5e13 energy=60 monte tilt=7 rotation=120 amorph
```

```
Implant phosphor dose=2.5e13 energy=60 monte tilt=7 rotation=210 amorph
Implant phosphor dose=2.5e13 energy=60 monte tilt=7 rotation=300 amorph
method compress init.time=0.10 fermi
diffus time=25 temp=850 nitro press=1.00
```

Implantasi pampasan akan dilakukan untuk meminimumkan kapasitan simpangan (Xiao, 2001). Dalam implantasi pampasan, kepekatan dos fosforus yang digunakan ialah $2.5 \times 10^{13} \text{cm}^{-3}$ dan tenaga implantasi ialah 60keV. Selepas itu, penyepuh lindapan akan dijalankan selama 25 minit pada suhu 850°C.

Pelograman aluminium pertama pada sentuhan salir/sumber adalah seperti berikut.

```
deposit alumin thick=0.10 div=5
struct outfile=gate_deposition1.str
etch aluminum start x=0.35 y=-0.615
etch cont x=0.445 y=-0.615
etch cont x=0.445 y=-0.44
etch done x=0.35 y=-0.44
struct outfile=gate_aluminium1.str
```

Seterusnya, proses pelograman aluminium pertama akan dilakukan pada sentuhan. Pertamanya, aluminium yang setebal 0.10µm akan dimendapatkan pada permukaan wafer. Punaran perlu dilakukan untuk membuang bahagian aluminium yang berlebihan. Aluminium digunakan dalam pelograman kerana ia merupakan konduktor elektrik yang keempat baik ($2.65 \mu\Omega\text{cm}$) selepas perak ($1.6 \mu\Omega\text{cm}$), kuprum perak ($1.7 \mu\Omega\text{cm}$), dan emas ($2.2 \mu\Omega\text{cm}$). Tambahan pula, aluminium dapat dipunarkan secara kering untuk menghasilkan sambungan logam (Xiao, 2001). Struktur selepas penglogaman disimpan sebagai fail *gate_aluminium1.str*.

Seterusnya, dielektrik antara logam, *IMD (Intermetal Dielectric)* akan dimendapkan di atas lapisan pertama aluminium seperti berikut.

```
deposit oxide thick=0.30 c.arsenic=1.0e16 c.boron=1.0e16 c.phosphor=1.0e16\
div=14 dy=0.02 ydy=0.5
method compress init.time=0.10 fermi
diffus time=15 temp=950 nitro press=1.00
struct outfile=imd1.str
```

Lapisan dielektrik pertama setebal 0.30µm akan dimendapkan di atas lapisan pertama aluminium. Penyepuh lindapan pada suhu 950°C selama 15 minit akan dilakukan selepas itu. Berhubung dengan itu, sentuhan akan dibuat pada lapisan *IMD* secara punaran.

```
etch oxide start x=-0.02 y=-0.9
etch cont x=0.26 y=-0.9
etch cont x=0.26 y=0.00
etch done x=-0.02 y=0.00
struct outfile=pattern_s_d2.str
deposit alumin thick=0.30 div=9
struct outfile=gate_deposition2.str
```

```

etch aluminum start x=0.325 y=-1.25
etch cont x=0.445 y=-1.25
etch cont x=0.445 y=-0.8
etch done x=0.325 y=-0.8
etch aluminum start x=-0.075 y=-1.05
etch cont x=-0.65 y=-1.05
etch cont x=-0.65 y=-0.55
etch done x=-0.075 y=-0.55
struct outfile=gate_aluminium2.str

```

Selepas punaran dilakukan pada kawasan sentuhan salir/sumber pertama, lapisan aluminium kedua setebal $0.30\mu\text{m}$ dimendapkan dan dipunarkan untuk menghasilkan kawasan pelogaman kedua yang dikehendaki.

Kod aturcara berikutnya adalah untuk mengukur dan mengeluarkan parameter-parameter penting transistor *NMOS*.

```

extract name="nXj" xj material="Silicon" mat.occno=1 x.val=0.1 junc.occno=1
extract name="n1dvt" 1dvt ntype vb=0.0 qss=1e10 x.val=0.425
extract start material="Polysilicon" mat.occno=1 bias=0.0 bias.step=0.2\
bias.stop=2 x.val=0.425
extract done name="sheet conductance vs bias" curve(bias,1dn.conduct\
material="Silicon" mat.occno=1 region.occno=1)\
outfile="extract.dat"
extract name="n++ sheet rho" sheet.res material="Silicon" mat.occno=1 x.val=0.1
region.occno=1 semi.poly
extract name="halo sheet rho" sheet.res material="Silicon" \
mat.occno=1 x.val=0.425 region.occno=1
extract name="chan surf conc" surf.conc impurity="Net Doping" \
material="Silicon" mat.occno=1 x.val=0.425
extract name="poly sheet rho" sheet.res material="Polysilicon" mat.occno=1 x.val=0.425
region.occno=1 semi.poly

```

Untuk menghasilkan *NMOS* yang sempurna, bahagian kanan *NMOS* dicerminkan daripada bahagian kiri *NMOS* dengan menggunakan arahan *mirror*. Elektrod-elektrod dikenalpasti dengan menggunakan arahan *electrode name*. Akhir sekali, struktur *NMOS* yang lengkap dihasilkan dan disimpan sebagai fail *electrode_nSTI.str*.

```

structure mirror right
electrode name=gate x=0.435 y=-0.2
electrode name=source x=0.1 y=-1.0
electrode name=drain x=0.95 y=-1.0
electrode name=substrate backside
struct outfile=electrode_nSTI.str
tonyplot -st electrode_nSTI.str

```

Apabila struktur *NMOS* yang lengkap siap difabrikasi, simulasi peranti dilakukan untuk mengenalpasti samada transistor yang telah siap difabrikasi berfungsi dengan baik atau sebaliknya. Modul *ATLAS* diaktifkan dalam persekitaran *DeckBuild*. Kod-kod aturcara berikutnya memaparkan arahan-arahan untuk memperoleh ciri-ciri elektrik serta memplotkan graf I_d - V_d dan graf I_d - V_g . Pada bahagian terakhir simulasi *ATLAS*, voltan ambang juga diambilkira.

```

go atlas
mesh infile=electrode_nSTI.str
contact name=gate n.poly
interface qf=3e10
models cvt srh print numcarr=2
solve init
solve vgate=1.0 outf=STI_id_vd_1
solve vgate=2.0 outf=STI_id_vd_2
solve vgate=3.0 outf=STI_id_vd_3
solve vgate=4.0 outf=STI_id_vd_4
load infile=STI_id_vd_1
log outf=nmosSTI_id_vd_1.log
solve name=drain vdrain=0 vfinal=3.0 vstep=0.2
load infile=STI_id_vd_2
log outf=nmosSTI_id_vd_2.log
solve name=drain vdrain=0 vfinal=3.0 vstep=0.2
load infile=STI_id_vd_3
log outf=nmosSTI_id_vd_3.log
solve name=drain vdrain=0 vfinal=3.0 vstep=0.2
load infile=STI_id_vd_4
log outf=nmosSTI_id_vd_4.log
solve name=drain vdrain=0 vfinal=3.0 vstep=0.2
tonyplot -overlay nmosSTI_id_vd_1.log nmosSTI_id_vd_2.log nmosSTI_id_vd_3.log
solve init
method newton trap
solve prev
solve vdrain=0.1 outf=STI_id_vg_1
solve vdrain=1.1 outf=STI_id_vg_2
solve vdrain=2.1 outf=STI_id_vg_3
solve vdrain=3.1 outf=STI_id_vg_4
load infile=STI_id_vg_1
log outf=nmosSTI_id_vg_1.log
solve name=gate vgate=0 vfinal=3.0 vstep=0.2
load infile=STI_id_vg_2
log outf=nmosSTI_id_vg_2.log
solve name=gate vgate=0 vfinal=3.0 vstep=0.2
load infile=STI_id_vg_3
log outf=nmosSTI_id_vg_3.log
solve name=gate vgate=0 vfinal=3.0 vstep=0.2

```

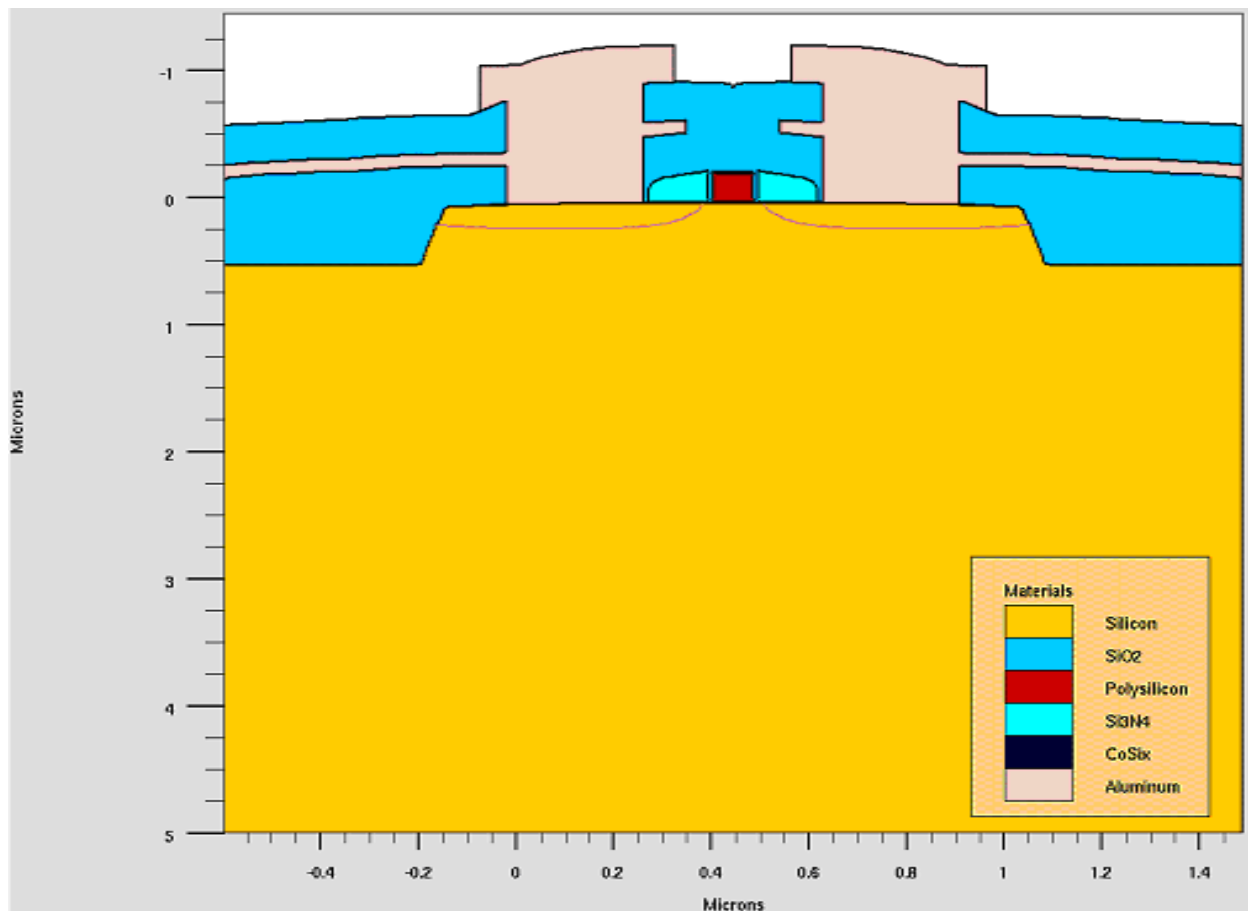
```

load infile=STI_id_vg_4
log outf=nmosSTI_id_vg_4.log
solve name=gate vgate=0 vfinal=3.0 vstep=0.2
method gummel newton
solve init
solve vdrain=0.1
log outf=strike.log master
solve vgate=0 vstep=0.2 vfinal=3.0 name=gate
save outf=strike.str
extract name="nvt" (xintercept(maxslope(curve(abs(v."gate"),abs(i."drain")))) \
-abs(ave(v."drain"))/2.0)
tonyplot -overlay nmosSTI_id_vg_1.log nmosSTI_id_vg_2.log nmosSTI_id_vg_3.log
quit

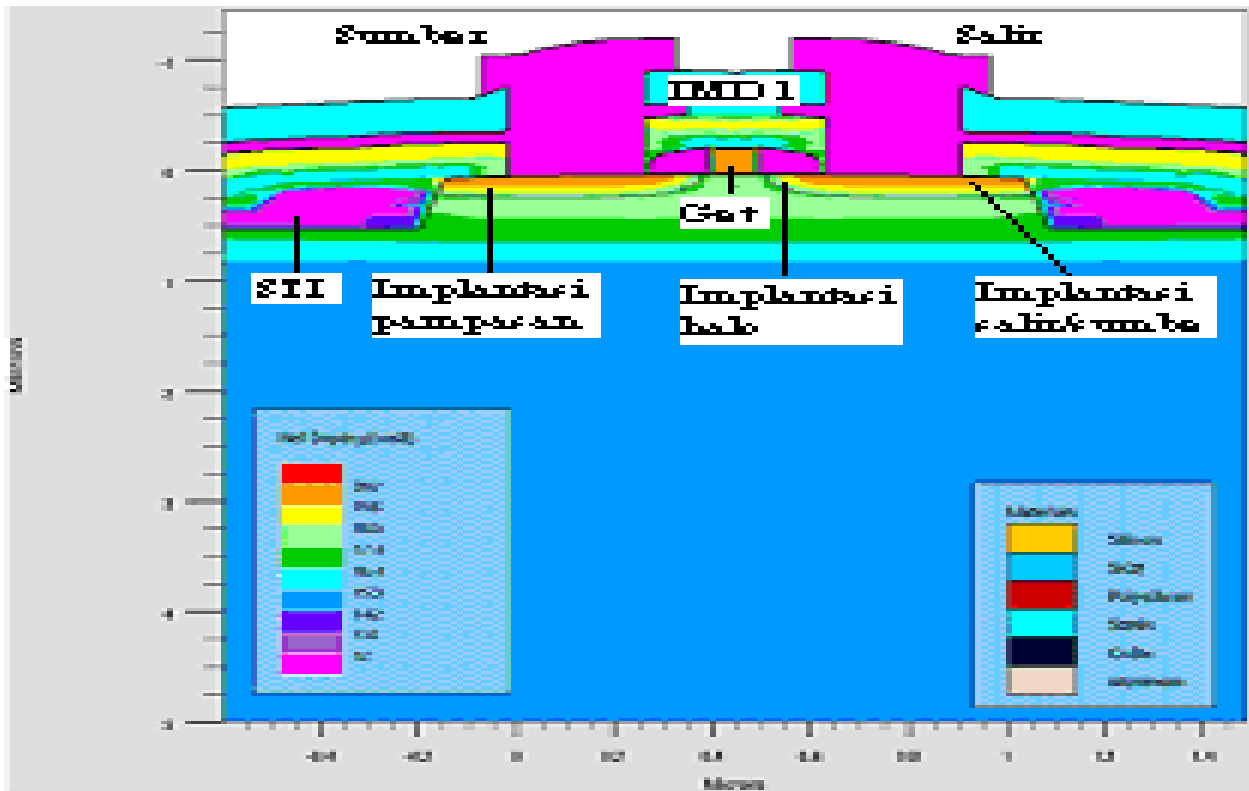
```

4. Keputusan

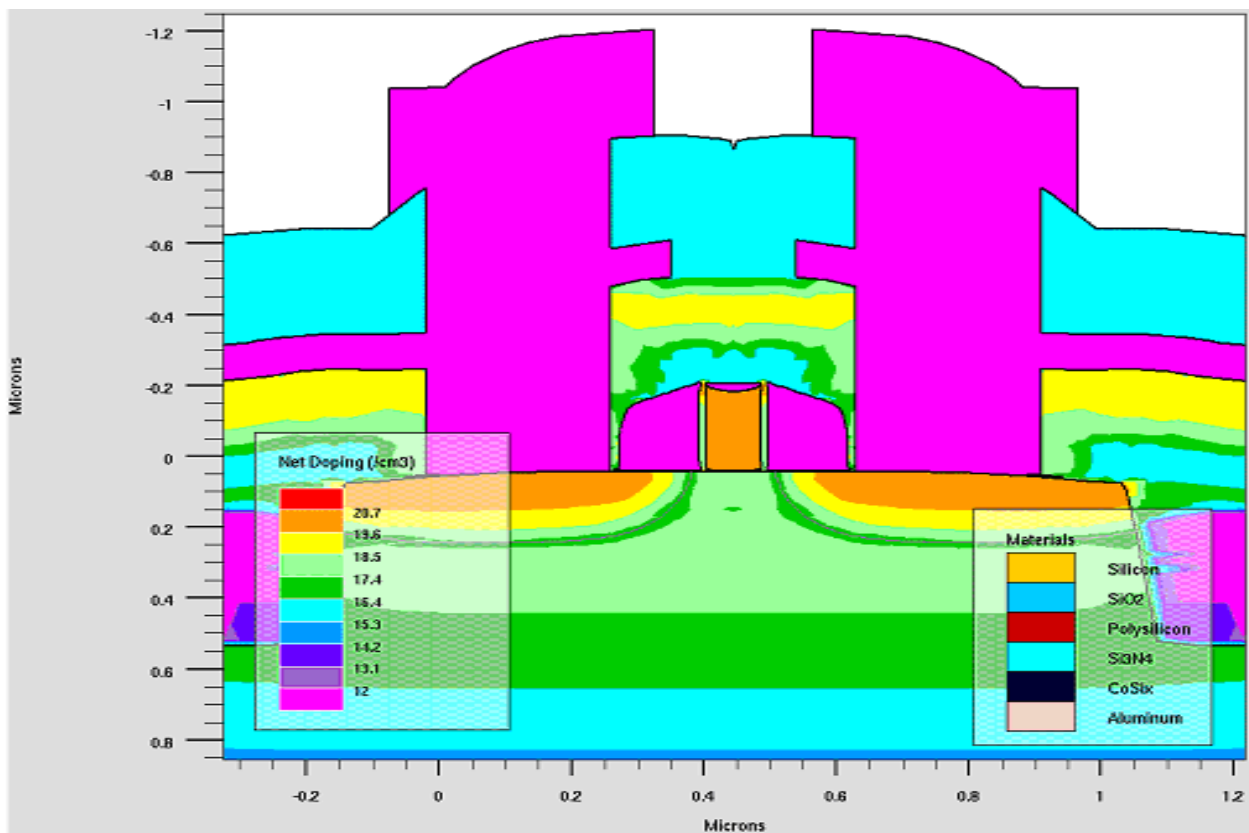
Hasil simulasi transistor 90nm NMOS menggunakan perisian SILVACO dipaparkan dalam bahagian ini. Struktur keratan rentas serta graf I_D-V_D dan I_D-V_G transistor ditunjukkan. Setelah hasil simulasi didapati, perbandingan nilai-nilai simulasi dengan data-data daripada ITRS dan BPTM dibuat untuk mengenalpasti samada ia memenuhi keperluan dan kehendak piawaian tersebut.



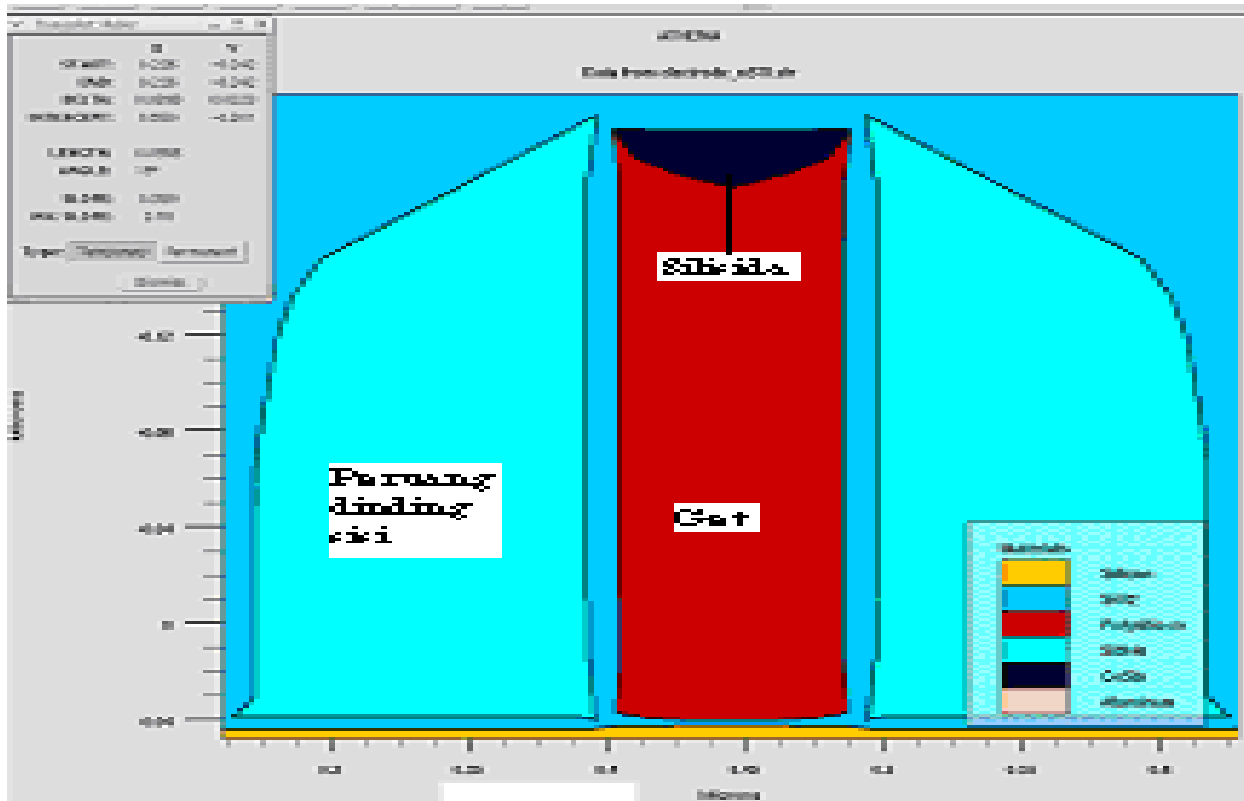
Rajah 2: Struktur lengkap 90nm NMOS



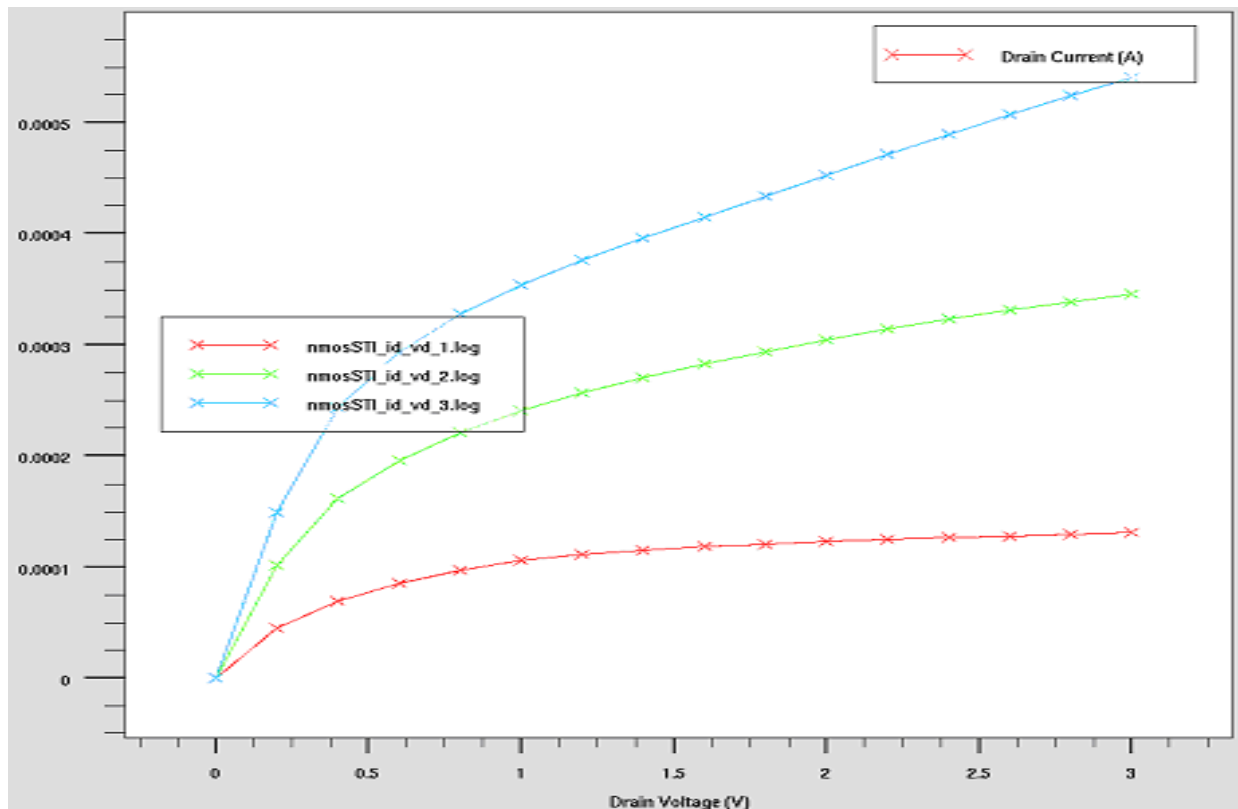
Rajah 3: Taburan dopan struktur 90nm NMOS



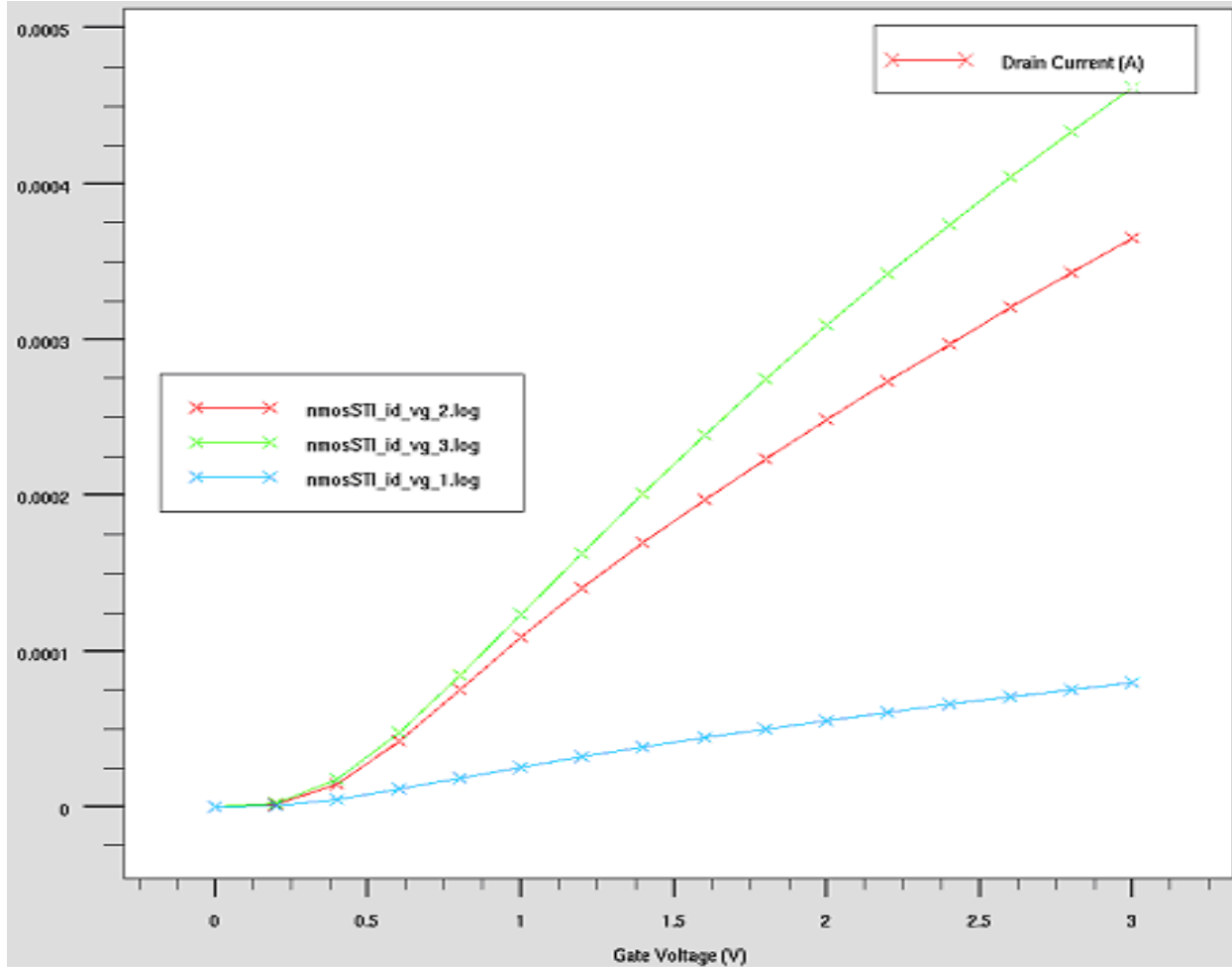
Rajah 4: Struktur lengkap 90nm NMOS yang telah dizumbesar



Rajah 5: Struktur dimensi get 90nm NMOS



Rajah 6: Graf hubungan I_d - V_d 90nm NMOS



Rajah 7: Graf hubungan I_d - V_g 90nm NMOS

Jadual 1: Parameter-parameter 90nm NMOS hasil simulasi ATLAS

Proses	Parameter
Well Oxidation (μm)	0.0199841
Drive-in (μm)	0.0350379
Pad Oxidation (μm)	0.0130666
Trench Depth (μm)	0.448692
Sacrificial Oxide (μm)	0.0245205
Gate Oxide (μm)	0.00226448
Poly Oxide (μm)	0.257035
n-Xj (μm)	0.188178
n-1dvt (V)	0.257782
n++ sheet rho (Ω/\square)	43.9693
n-halo sheet rho (Ω/\square)	1543.53
n-chan surf conc (atoms/cm ³)	4.18985e+17
poly sheet rho (Ω/\square)	17.8935
nvt (V)	0.244395

5. Perbincangan dan Kesimpulan

Rekabentuk transistor *NMOS* bersaiz 90nm ini telah berjaya difabrikasi menggunakan modul *ATHENA*, manakala ciri-ciri peranti pula telah disimulasi menggunakan modul *ATLAS*. Berdasarkan keputusan yang diperolehi, transistor ini dilihat terbukti dapat berfungsi dengan baik. Nilai-nilai parameter pencirian elektrik yang diperolehi memenuhi keperluan piawaian *ITRS* dan *BPTM* kerana masih di dalam julat yang dibenarkan. Ini menunjukkan bahawa kebolehpercayaan dan kesahihan rekabentuk transistor ini adalah tinggi.

Jadual 2: Parameter-parameter piawai keluaran *ITRS* dan *BPTM* (Berkeley, 2006)

Teknologi	L_G (μm)	T_{OX} (nm)	V_{TH} (V)	V_{DD} (V)
100 nm	$0.10 \pm 15\%$	$2.5 \pm 4\%$	$0.26 \pm 12.7\%$	$1.2 \pm 10\%$
70nm	$0.07 \pm 15\%$	$1.7 \pm 4\%$	$0.20 \pm 12.7\%$	$0.9 \pm 10\%$

Keputusan nilai dan bentuk lengkungan graf I_D - V_D dan I_D - V_G transistor ini juga telah memenuhi kehendak persamaan Shockley (Boylestad, 2006) iaitu:

$$I_D = k(V_{\text{GS}} - V_{\text{GS(TH)}})^2 \quad (1)$$

Rujukan

- Berkeley. (2006). Berkeley Predictive Technology Model (BPTM). <http://www-device.eecs.berkeley.edu/~ptm>
- Boylestad, R. L. (2006). *Electronic Devices and Circuit Theory*, Upper Saddle River: Prentice Hall.
- Chou, J. W., Hong, G., Lin, K. C., Cheng, Y. C., Chen, C., & Chang, C. Y. (2000). Optimization of Short Channel Effect by Arsenic P-Halo Implant Through Polysilicon Gate for 0.12 μm P-MOSFET. *IEEE Conference on Ion Implantation Technology*, 28-31.
- Ranade, P. S. (2002). *Advanced Gate Materials and Processes for Sub-70nm CMOS Technology*. Tesis Ph.D. University of California, Berkeley.
- Rizman, Z. I., Ahmad, I., & Zoolfakar, A. S. (2009). Design and Fabrication of 90nm CMOS Using ATHENA and ATLAS. *MSU Information Sciences & Engineering Seminar*, 8 - 12.
- Xiao, H. (2001). *Introduction to Semiconductor Manufacturing Technology*. AS: Prentice Hall, Inc.
- Yeap, K. H., Ahmad, I., Rizman, Z. I., Chew, K., Chong, K. H., & Yong, Y. T. (2010). Characterization of a Submicron PMOS in Mixer Circuits. *IEEE Conference on Sustainable Utilization and Development in Engineering and Technology*, 123-126.