

**INVESTIGATION OF LATCH-UP BEHAVIOUR IN 0.5 MICRON CMOS
TECHNOLOGY**



**INSTITUT PENYELIDIKAN, PEMBANGUNAN DAN PENGKOMERSILAN
UNIVERSITI TEKNOLOGI MARA
40450 SHAH ALAM, SELANGOR
MALAYSIA**

BY :

**WAN FAZLIDA HANIM
SUHANA SULAIMAN
MOHD JAMIL NAPIAH**

JUNE 2005



Biro Penyelidikan dan Perundingan
Universiti Teknologi MARA
40450 Shah Alam, Malaysia
Tel : 03-55442094 / 5 / 3 / 2
Website : www.uitm.edu.my/brc

Fax : 03-55442096



UNIVERSITI
TEKNOLOGI
MARA

Penolong Naib Canselor
(Penyelidikan)
03-5544 2094/5
zzniz132@salam.itm.edu.my

Koordinator Penyelidikan
(Sains dan Teknologi)
03-5544 2091
fmansur 628@salam.uitm.edu.my

Koordinator Penyelidikan
Sains Kemasyarakatan &
(Kemanusiaan)
03-5544 2097
osminah@salam.itm.edu.my

Koordinator Perundingan
Kewangan)
03-5544 2090
hidah@salam.itm.edu.my

Koordinator Perundingan
03-5544 2100
ro@salam.itm.edu.my

Penolong Pendaftar
03-5544 2092
tan 553@salam.itm.edu.my

Pegawai Eksekutif
03-5544 2098
hani734@salam.itm.edu.my

Penadbiran
03-5544 2093

Unit Kewangan Zon 17
03-5544 2099
03-5544 3440
03-5544 2089
53mohdh@salam.itm.edu.my

Surat Kami : 600-BRC/ST.5/3/576
Tarikh : 30 Jun 2003

Puan Wan Fazlida Hanim Abdullah
Fakulti Kejuruteraan Elektrik
Universiti Teknologi MARA
40450 Shah Alam

Puan

**TAJUK PENYELIDIKAN: INVESTIGATION OF LATCHUP
BEHAVIOUR IN 0.5 μ m CMOS TECHNOLOGY**

Dengan hormatnya perkara di atas adalah dirujuk.

Sukacita dimaklumkan bahawa Mesyuarat Jawatankuasa Penyelidikan ke-67 pada 30 Jun 2003 telah membuat keputusan:

- i. Bersetuju meluluskan cadangan penyelidikan yang telah dikemukakan oleh puan, Encik Mohd Jamil Napiah dan Puan Suhana Sulaiman.
- ii. Tempoh projek penyelidikan ini ialah **12 bulan**, iaitu bermula **1 Julai 2003** hingga **30 Jun 2004**.
- iii. Kos yang diluluskan ialah sebanyak **RM 20,000.00** sahaja. Penggunaan geran yang diluluskan hanya akan diproses setelah perjanjian ditandatangani.
- iv. Semua pembelian peralatan yang kosnya melebihi RM 500.00 satu item perlu menggunakan Pesanan Jabatan Universiti Teknologi MARA (LO). Pihak puan juga dikehendaki mematuhi peraturan penerimaan peralatan. Panduan penerimaan peralatan baru dan pengurusannya, dilampirkan.
- v. Semua peralatan/kelengkapan penyelidikan yang dibeli adalah menjadi hak milik fakulti. Semua peralatan/kelengkapan hendaklah diserahkan kepada pihak fakulti setelah tamat penyelidikan untuk kegunaan bersama.
- vi. Seperti yang puan sedia maklum puan perlu membentangkan kertas kerja di Seminar Hasil Penyelidikan BRC setelah projek tamat dijalankan nanti.

Tarikh : 22 Jun 2005

No. Fail Projek : 600-BRC/ST.5/3/576

Penolong Naib Canselor (Penyelidikan)
Institut Penyelidikan, Pembangunan dan Pengkomersilan
Universiti Teknologi MARA
40450 Shah Alam

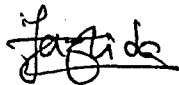
Ybhg. Prof.,

**LAPORAN AKHIR PENYELIDIKAN "INVESTIGATION OF LATCHUP
BEHAVIOUR IN 0.5 μ M CMOS TECHNOLOGY"**

Merujuk kepada perkara di atas, bersama-sama ini disertakan 3 (tiga) naskah Laporan Akhir Penyelidikan bertajuk "Investigation Of Latchup Behaviour In 0.5 μ M Cmos Technology".

Sekian, terima kasih.

Yang benar,



WAN FAZLIDA HANIM
Ketua
Projek Penyelidikan

TABLE OF CONTENTS

1.	Introduction	
1.1	Latch-up in CMOS ICs	1
1.2	Research Objectives	2
1.3	Scope of Work	2
1.4	Structure of Report	3
2.	Theory: Latch-up in CMOS Technology	
2.1	Parasitic Bipolar Junction Transistor	4
2.2	Triggering Mechanisms	5
2.3	Latch-up Models	6
2.4	Handling Latch-up	8
3.	Material & Methodology	
3.1	Device Fabrication	9
3.2	Equipment Setup	13
3.3	Measurement Approach	14
4.	Research Findings: Test Structures and Measurement Setup	
4.1	Test Structure Description	16
4.2	Measurement Setup on Test Structure	17
4.3	Algorithm Flowchart	18
4.4	Program Listing	19
4.5	Software Validation	20
4.6	Conclusion	22
5.	Results and Discussion	
5.1	SCR Characteristics of 0.5 micron CMOS Structure	23
5.2	Investigation on n+ to p+ Separation	24
5.3	Conclusion	27
6.	Conclusion	
6.1	Conclusion on Measurement Approach	28
6.2	Conclusion on Latch-up Performance	28
6.3	Further Works	29
	References	30
	Appendix A: Fabrication Details	
	Appendix B: Measurement Algorithm for Software Validation	
	Appendix C: Simulation Input Files	

Abstract

The research project investigates available latch-up test structures from MIMOS Berhad and covers current-voltage characterization of silicon-controlled rectifier behaviour of parasitic BJTs in CMOS technology. Measurement setup utilizing the structures for IV measurements are designed. A suitable measurement routine for the testing of latch-up in MOS device engineering at wafer level is developed for use in research environment. Tests are done on available MIMOS test structures representing twin tub technology and silicon-on-insulator substrate using automatic semiconductor characterization system comprising of Semiconductor Parametric Characterization Software (SPECS), UFK200 automatic prober and Agilent 4073 tester. Avalanche induced latch-up of three types of device were demonstrated: SOI without thickness adjustment, SOI with thinner layer due to thickness adjustment and bulk silicon control device are demonstrated. Immunity towards latch-up is improved for devices on BSOI substrate.